

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 53-089149

(43)Date of publication of application : 05.08.1978

(51)Int.Cl.

B66B 1/06

(21)Application number : 52-003412

(71)Applicant : FUJITEC CO LTD

(22)Date of filing : 13.01.1977

(72)Inventor : AOKI HITOSHI

(54) COUNTER FOR ELEVATOR CAGE CONTROL DEVICE

(57)Abstract:

PURPOSE: To improve the reliability and productivity of an elevator by commonly using a plurality of counters and timer used for an elevator controller with compact computer.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

547224JP01

⑬日本国特許庁
公開特許公報

⑪特許出願公開
昭53—89149

⑤Int. Cl.²
B 66 B 1/06

識別記号

⑥日本分類
83 C 12

庁内整理番号
6228—58

④公開 昭和53年(1978)8月5日

発明の数 3
審査請求 有

(全 7 頁)

⑭エレベータ制御装置の計数装置

茨木市庄1丁目28番10号 フジ
テック株式会社茨木工場内
⑦出 願 人 フジテック株式会社
大阪市西区靱本町1丁目7番4
号

①特 願 昭52—3412
②出 願 昭52(1977)1月13日
③発 明 者 青木均

明 細 書

1. 発明の名称

エレベータ制御装置の計数装置

2. 特許請求の範囲

(1) 小型電子計算機を備えたエレベータ制御装置の計数装置において、入力端子と前記小型電子計算機によりプリセットされ、前記小型電子計算機からの指令により前記入力端子から入力されるパルスの計数を開始し、計数値が前記プリセットされた値に等しくなった時点で出力を発生する計数回路とを備えたことを特徴とするエレベータ制御装置の計数装置。

(2) 小型電子計算機を備えたエレベータ制御装置の計数装置において、クロック信号を発生するクロック信号発生回路と前記小型電子計算機によりプリセットされ、前記小型電子計算機からの指令により前記クロック信号の計数

を開始し、計数値が前記プリセットされた値に等しくなった時点で出力を発生する計数回路とを備えたことを特徴とするエレベータ制御装置の計数装置。

(3) 小型電子計算機を備えたエレベータ制御装置の計数装置において、一つ又は複数の入力端子とクロック信号を発生するクロック信号発生回路と、前記小型電子計算機からの指令により前記一つ又は複数の入力端子から入力されるパルス、又は前記クロック信号のうちの一つを選択して出力する選択回路と、前記小型電子計算機からの指令により前記選択回路の出力の計数を開始し、計数値が前記プリセットされた値に等しくなった時点で出力を発生する計数回路とを備えたことを特徴とするエレベータ制御装置の計数装置。

3. 発明の詳細な説明

本発明は小型電子計算機を備えたエレベータ制御装置の計数装置に関する。

エレベータ制御装置においては各種の計数が行なわれている。例えば高速用エレベータの場合、エレベータが一定距離移動することにより得られるパルス数を計数することにより相対的に減速開始位置を検出している。又、通過押印の付いたエレベータにおいては、かご呼びの登録された階までの所定階数を計数することにより乗り場呼びを無視して通過する。いたずら呼び防止装置の付いたエレベータにおいては、呼びの個数を計数して所定数以上登録された時にはこれらをキャンセルする。

このようにエレベータ制御装置における計数装置は多種多様に用いられている。

本発明の目的の一つは、小型電子計算機を備

いる必要があつた。

本発明の目的のもう一つは小型電子計算機を備えたエレベータ制御装置において、クロック信号を発生するクロック信号発生回路と、前記小型電子計算機によりプリセットされ前記小型電子計算機からの指令により前記クロック信号の計数を開始し、計数値が前記プリセットされた値に等しくなつた時点で出力を発生する計数回路とを備えたエレベータ制御装置の計数装置により、前記多種多様なタイマーの共用化及び調整は共有化された前記クロック信号一つでよく、更にはこのクロック信号を調整無しに予め所定値に精度よく設定しておくことも可能であり、仕様変化に強く、部品数が少なく、調整の不要な、精度の高い従つて信頼性、生産性、作業性に優れたエレベータ制御装置を提供することにある。

特開昭53-89149(2)

えたエレベータ制御装置において、入力端子と

前記小型電子計算機によりプリセットされ、前記小型電子計算機からの指令により前記入力端子から入力されるパルス計数を開始し、計数値が前記プリセットされた値に等しくなつた時点で出力を発生する計数回路を備えることにより、前記多種多様な計数装置の共用化を可能とした計数装置を実現し、生産性に優れたエレベータ制御装置を提供することにある。

次にエレベータ制御装置の計数装置のもう一つの機能即ちタイマー機能について述べる。

エレベータ制御装置は戸開一定時限後戸閉するためのタイマー、一定時限かご呼びを優先するためのタイマー、指令後一定時限経過しても指令された動作が確認できない場合に故障であることを検出するためのタイマー等、従来のエレベータ制御装置は多種多様なタイマーを備えて

更に例えば減速開始時点を検出する為の計数装置と、戸開一定時限後戸閉するためのタイマーとについて考えると、これらの計数装置は同時に計数を行なうことはない。このような組合せはエレベータ制御装置の計数装置において多くみられる。

従つて本発明の目的のもう一つは小型電子計算機を備えたエレベータ制御装置において、一つ又は複数の入力端子とクロック信号を発生するクロック信号発生回路と、前記小型電子計算機からの指令により前記一つ又は複数の入力端子から入力されるパルスと前記クロック信号のうちの一つを選択して出力する選択回路と、前記小型電子計算機からの指令により前記選択回路の出力の計数を開始し、計数値が前記プリセットされた値に等しくなつた時点で出力を発生する計数回路とを備えたエレベータ制御装置の

計数装置により、エレベータ制御装置に含まれる計数装置の全てを共用化することを可能とし、従つて信頼性、生産性、作業性に優れたエレベータ制御装置を提供することにある。

以下本発明の実施例について図を用いて説明する。

第1図は本発明の計数装置の一実施例を示す。

図において1は小型電子計算機からのプリセット指令判断回路、2は計数回路、3は計数指令判断回路、4は2入力ANDゲート、5は入力端子、6,7,8はそれぞれ小型電子計算機と接続されるアドレスバス(A15~A0)、データバス(D7~D0)、コントロールバス(RD, WD)である。

以下第1図の計数装置の動作を説明する。

前記小型電子計算機は計数したいパルスの入力端子に対応する計数装置の計数回路2を特定す

発生し、計数指令判断回路3はデータバス7の内容を取り込み、以後は計数可能信号ENABLEを出力する。従つてANDゲート4の一方の入力が1になり、計数回路2は入力端子5から入力されるパルスの計数を開始する。

計数回路2は計数値が前記プリセット値に等しくなつた時点で計数一致信号EQUALを出力する。

計数一致信号EQUALによつて計数指令判断及び出力回路3は計数可能信号ENABLEを0にして計数回路2の計数を終了させると同時に計数終了信号INTRを出力する。計数終了信号INTRはそのまま各種制御信号として前記小型電子計算機と独立して用いられてもよいことは明らかであるが、前記小型電子計算機に接続しておいた方が便利であるので、以下の説明においては計数終了信号INTRは前記小型電子計算

特開昭53-89149(3)

するためのアドレスをアドレスバス6に乗せ、所定時間後データバス7に計数回路2のプリセット値を乗せた後コントロールバス8上に書き込み信号WDを発生する。この時プリセット指令判断回路1はプリセット指令信号PRESENTを出力し、計数回路2はデータバス7の内容即ち前記プリセット値によりプリセットされる。

次に前記小型電子計算機は、計数指令判断回路3を特定するためのアドレスをアドレスバス6に乗せ、所定時間後データバス7に計数回路2の計数開始を指示するためのデータに乗せる。以下の説明においてはこの指示はD1=1によつてなされるものとする。データバス7上のデータが安定した状態で前記小型電子計算機はコントロールバス8に書き込み信号WDを発生する。これによつてプリセット指令判断回路1は計数指令判断回路3に対して書き込み信号WRITEを

機の読み込み信号線に接続されているとする。

計数終了信号INTRを受け取つた前記小型電子計算機がこの計数終了信号INTRを発生している計数装置の計数指令判断回路3を特定するためのアドレスをアドレスバス6に乗せ、コントロールバス8に読み込み信号RDを乗せてきた時、この計数指令判断回路3は計数終了を示すデータ(D0=1)をデータバス7に乗せる。これによつて前記小型電子計算機は前記計数を終了した計数装置を知ることができる。

以上本発明の計数装置の一実施例について一般的な小型電子計算機の場合について動作を説明したが、例えば入出力機器に対する一つ又は複数の制御信号を持つ小型電子計算機の場合は、プリセット指令、計数開始指令をこれらの制御信号で直接行なつてもよいことは明らかである。又、いわゆる多レベルの読み込み機能を持つ小型

電子計算機を用いた場合、読み込みを発生した計数装置確認のための読み込み動作は不要となることも明らかである。

第1図においてプリセット指令判断回路1は簡単なゲート回路により容易に構成できることは明らかであり、又計数回路2もいわゆるプリセット可能なダウンカウンタを用いて容易に構成できることから第2図において計数指令判断回路3のみ実施例を示し説明する。

第2図は計数指令判断回路3の一実施例である。

図において、12はDタイプのフリップフロップ、13、14は3状態出力ゲート回路、9、10はANDゲート、11はインバータである。フリップフロップ12は書き込み信号WRITEの立上がりでデータバス上のD1の値を取込み、以後この値を保持し、計数一致信号EQUALが

特開昭53-89149(4)
0の間ANDゲート10の出力である計数可能信号ENABLEを1にする。計数一致信号EQUALが1になると、インバータ11を介してANDゲート10の一方の入力が0となることから計数可能信号ENABLEが0となる。同時にフリップフロップ12の出力が1の時ANDゲート9は計数終了信号INTRを1にする。

読み込み信号READが1の時は、3状態出力ゲート13、14は共に高インピーダンス状態を解除し、それぞれフリップフロップ12の出力及びANDゲート9の出力をそれぞれD1、D0としてデータバス7に乗せる。以上で第2図に示した計数指令判断回路3の動作は容易に理解できよう。ところで図において、フリップフロップ12の出力をデータバスD1に乗せることができるようになっているがこれは前記小型電子計算機が指令を確認するために設けられており、前記小型

電子計算機が計数装置に対して指示した指令を記憶する記憶装置を別個に持つ場合はこの機能が不要であることは明らかである。

第3図は第1図、第2図の説明の理解を容易にするためのタイムチャートである。

第4図はクロック信号発生回路を備え、タイマーとして本発明の計数装置を用いる場合の一実施例である。

図において、入力端子5がクロック信号発生回路20となつてゐることの他は第1図と同じであるので以下クロック信号発生回路20についてのみ説明する。

クロック信号発生回路20は、一定周期でクロック信号のパルス列を発生し、ANDゲート4を介して計数回路2に入力する為の回路であり、水晶発振器等で構成される一般によく知られた回路で実現できるので回路例等の説明はここで

は省略する。

第5図は一つ又は複数の入力端子とクロック信号発生回路及び選択回路を備え、共用化を可能とした計数装置の一実施例である。

図において21は選択回路、30は計数選択指令判断回路であり、その他については第1図及び第2図と同じである。図において40は後で参照する計数装置の一部を示す。

選択回路21はいわゆるデータセレクタであり、計数選択指令判断回路30の出力である選択符号化信号B5~B0によつて指示される入力端子からのパルスあるいはクロック信号発生回路20からのクロック信号のいずれかを選択してANDゲート4の一方の入力として出力する。

計数選択指令判断回路30は、書き込み信号WRITEによりデータバス7の内容を選択指令及び計数開始指令として取込み、それぞれ選択符号化信

号83~80及び計数可能信号ENABLEを出力する。計数終了信号INTRの出力に関しては第1図の場合と同じである。

又、計数選択指令判断回路30は、読込み信号READによりデータバス7に計数終了を示すデータ(D0=1)を乗せることも第一図の場合と同様である。

第6図は計数選択指令判断回路の一実施例である。

図において35はラッチ回路、31,32,33,34は3状態出力ゲートであり、その他については第2図と同じである。

ラッチ回路35は書込み信号WRITEによりデータバス7のD2,D3,D4,D5の内容を取込み保持し、それぞれ選択符号化信号B0,B1,B2,B3として出力する。

3状態出力ゲート31,32,33,34は読込み信号

READに従つて選択符号化信号83,82,81,80をそれぞれデータバス7のD5,D4,D3,D2に乘せる為に用いられる。

第2図と同様に前記小型電子計算機が計数装置に対して指示した指令を記憶する記憶装置を別個に持つ場合は、3状態出力ゲート31,32,33,34,13は不要であることは明らかである。

又選択符号化信号として4ビットの場合を例に説明したが、本発明が選択符号化信号のビット数の制限とは無関係であることも明らかである。

第7図は入力端子からのパルスの計数動作及びタイマー動作のうちの2つの動作が同時に起こる可能性のある場合の計数装置の接続例を示す。3個以上同時に計数する可能性がある場合についても同様に接続してゆけばよい。

第8図は第7図のように接続された計数装置の一部40をそれぞれA,Bと名付け、計数動

作(入力端子5のいずれかから入力されるパルスの計数動作、又はタイマーとしてのクロック信号の計数動作)をそれぞれ①~⑤と名付けた場合の計数動作と、それに使用される計数装置の一部40の関係を横軸を時間にとつて示している。

以上の説明から明らかなように、計数装置の共用化により少数の計数装置で多くの計数動作を実現できる。

エレベータの制御装置においては前記計数動作の同時発生はほとんどなく、2~3個の本発明計数装置により全ての計数動作を可能にできることから部品数の削減が可能となる。又入力端子と計数動作の対応が前記小型電子計算機のソフトウェアにより決定され、タイマーとしての計数動作の場合も設定値がソフトウェアによつて決まることから仕様変化に強い計数装

置が提供できる。又、タイマーとしての計数動作の場合タイマーの精度はクロック信号発生回路のみに規定され、水晶発振器等の使用により調整の不要な精度の高いタイマーの提供も可能となる。

従つて、本発明エレベータ制御装置の計数装置により、信頼性、生産性、作業性に優れたエレベータ制御装置の提供が可能となる。

4. 図面の簡単な説明

第1図は本発明の計数装置の一実施例である。

第2図は計数指令判断回路の一実施例である。

第3図は第1図、第2図の説明の理解を容易にするためのタイムチャートである。

第4図はクロック信号発生回路を備えた本発明の計数回路の一実施例である。

第5図は一つ又は複数の入力端子とクロック信号発生回路及び選択回路を備えた本発明の計数

BEST AVAILABLE COPY

回路の一実施例である。

第6図は計数選択指令判断回路の一実施例である。

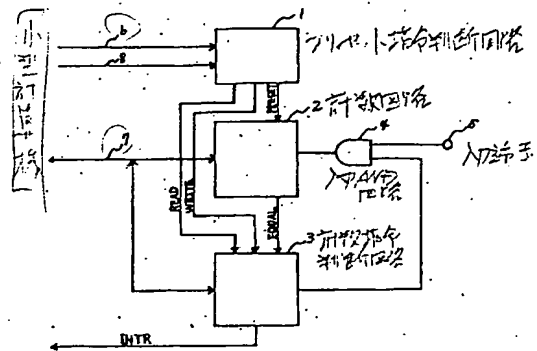
第7図は本発明の計数装置に対して計数動作の同時発生が最大2個の場合の接続例を示す。

第8図は計数動作と計数装置の対応の例を示す。

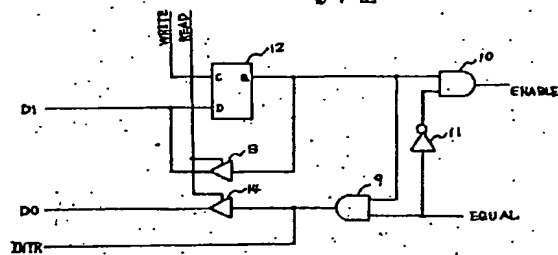
- 1 プリセット指令判断回路
- 2 計数回路
- 3 計数指令判断回路
- 6 アドレスバス
- 7 データバス
- 8 コントロールバス
- 20 クロック信号発生回路
- 21 選択回路
- 30 計数選択指令判断回路
- 40 計数装置の一部

特許出願人 フジテック株式会社

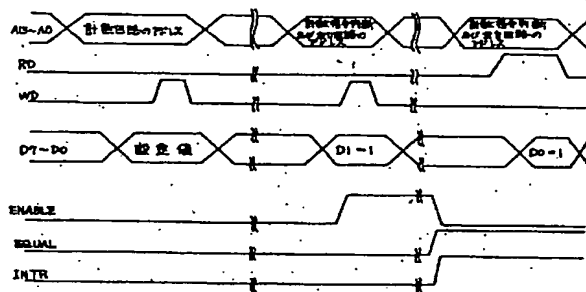
特開昭53-89149(6)



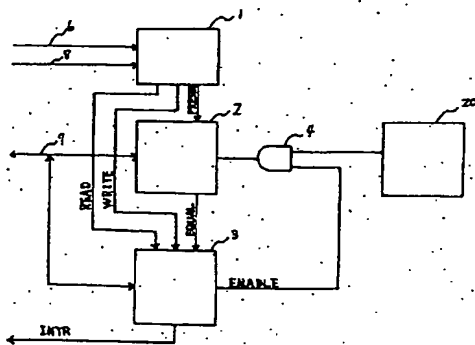
第1図



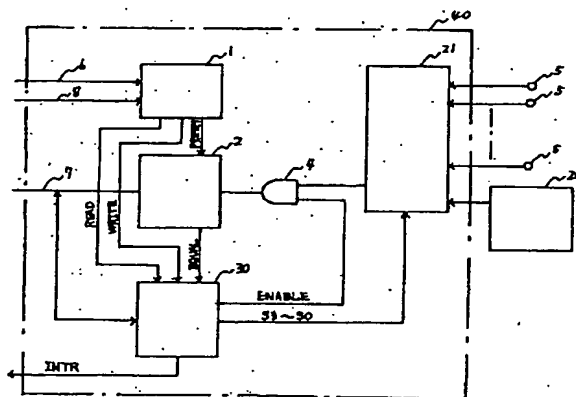
第2図



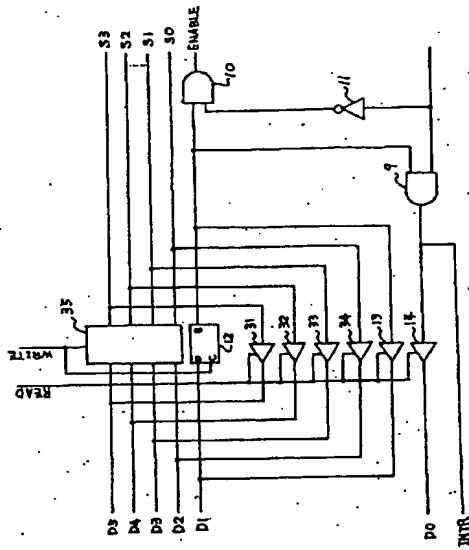
第3図



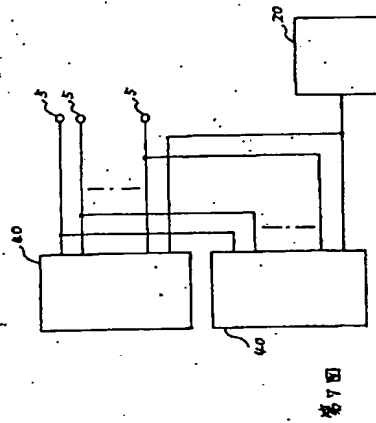
第4図



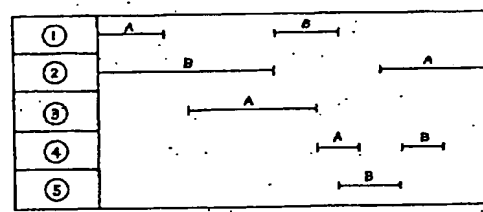
第5図



第 6 図



第 7 図



第 8 図

BEST AVAILABLE COPY